

立地が半導体設計企業の競争力に与える影響

—技術とアーキテクチャに関する知識の違いに着目して—

八井田 収

要 旨

半導体産業において、設計に特化したロジック・ファブレス企業と、設計と製造の両方の機能を持つアナログ・IDM企業は、異なる立地パターンを示している。デジタル技術とモジュラー・アーキテクチャを持つロジック・ファブレスの立地決定は、優秀な人材、関連・支援産業、需要産業、競争ライバル企業によって形成される地域クラスターの特殊優位（cluster-specific）に関係し、設計に関する「特許」という「形式知」の重要性が確認された。一方で、アナログ技術とインテグラル・アーキテクチャを持つアナログ・IDMの立地決定には、創業時に設立した場所に工場とともに長く立地することから得られる企業固有の特殊優位（firm-specific）に関係し、技術の蓄積や調整ノウハウなどの「粘着的な経験知識」という「暗黙知」の重要性が確認された。

キーワード：半導体、アーキテクチャ、知識、立地

I はじめに

本稿は、八井田（2016）「半導体産業の競争力に対して立地および知識等の内

部資源が与える影響の違いについての論考－技術とアーキテクチャの異なる半導体設計企業の事例を用いて－』『経営戦略研究』、関西学院大学経営戦略研究科、Vol.10に最新データや新たな資料を加えた改訂版である。

1 背景

企業の立地は競争力獲得の手段の1つと考えられる。企業の活動拠点の立地決定に対して、第一義的にコストが影響を与えるとされており、ましてや半導体は、税制や、人件費・インフラ費用といった要素コストの影響を最も受ける産業であるにも関わらず、今回分析対象とした半導体設計企業や半導体設計部門は、他国と比べて相対的にコストが高い米国に立地する業態が観察される。

その一つはデジタル技術とモジュラー・アーキテクチャを持つ論理系半導体（MOSロジック）で、設計機能に特化したロジック・ファブレス企業であり、もう一つはアナログ技術とインテグラル・アーキテクチャを持つアナログ系半導体で、設計と製造の両機能を持つアナログ・IDM企業である。

ロジック・ファブレスは、半導体産業クラスターを形成するカリフォルニアのシリコンバレー地域に集結して活動している。一方、アナログ・IDMは、カリフォルニアだけでなく、マサチューセッツやテキサスなど米国各地に分散して活動している。

2 先行研究

（1）国際的な拠点配置のあり方

Porter（1998）は、産業クラスター理論を提供した。それは、競争がグローバル化し、経営資源は世界を自由に移動しているにも関わらず、立地が相変わらず競争力を左右する決定的な役割を果たしていると、4つの側面からなるフレームワークによって説明している。それは、①要素条件、②需要条件、③関連・支援産業、④企業戦略・競争環境の相互に関連する4要因を「ダイヤモンド」フレームで表し、シリコンバレーのような地域クラスターの立地特殊優位を説明している。そして、立地の優位性を享受した企業の競争力は、機能に応じた国や地域に「配置」されることによって得られると示している

また、Dunning (1979) は、国際生産活動に関するフレームワークとして、OLI理論を提起した。その「国際生産の折衷理論」は、①所有特殊優位、②立地特殊優位、③内部化インセンティブが揃った時に多国籍企業の国際生産が進展すると説明している。

(2) アーキテクチャ論と設計立地の比較優位

藤本・大隈(2007)によれば、もの造りにおいて、製造立地に先だって設計立地の決定が必要である。設計立地には設計情報が立地決定の主役であり、設計情報の2大源流は市場と技術であるから、市場情報や技術情報の発源地で設計することが有利である。また、組織能力が地域間で偏在し、良い設計プロセスが得られる場所に立地することが有利であり、その3つの類型を挙げている。①市場立地：市場情報が固着的ならその発生源（例えば販売先の各国市場）に立地する、②技術立地：技術情報が固着的ならその発生源である研究開発集積に立地する、③組織能力立地：ある特性（例えばアーキテクチャ）を持つ設計情報の処理に適した組織能力が偏在する地に立地する。組織能力とアーキテクチャの相性が設計の比較優位に影響を与え、相性が良いと設計面の競争力が生まれると提起している。

また、新宅・天野(2009)は、アーキテクチャに基づく比較優位と国際分業のなかで、製品は、ある部分ではモジュラー的な要素を持ち、別の部分では擦り合せ的な要素を持つ。それらの部品単位や工程に分けて、アーキテクチャ特性に適した能力構築環境を持つ国に分散配置させ、統合することは比較優位の創出に繋がる。モジュラー軸と擦り合せ軸の2軸に対して知識・資本集約的と労働集約的の2つの対極方向から、日米韓台中およびASEANの環太平洋製造業のアーキテクチャ分類を行い、比較優位を持つ財で交易し合う分析を行っている。

(3) 米国半導体の競争優位

Dertouzos, et al. (1989) と Berger (2005) によれば、デジタル技術で設計に特化したロジック・ファブレスが米国で発展した理由の歴史的経緯は、日本の半導体に差をつけられた1980年代に遡る。1980年後半に米国のマサチューセッツ工科大学(MIT)の産業生産性センター(IPC)は日本と米国の競争分析を徹底

的に行い、それに基づく政策提言を行った。米国の強みは製品に対する先進的な企画と開発による付加価値であり、コストを優先としたものの作りの量産ではない。すなわち、米国はメモリ半導体ではなく、システムに多く使われるMOSロジック半導体の設計に特化し製造工場を持たないファブレスに向かい、製造は受託生産に特化したファウンドリと分業関係によって実現するファブレス・ファウンドリモデルを進めた。この分業は設計と製造をつなぐモジュラー・アーキテクチャによって完成させた。製造は日本ではなく、税制や要素コストで有利な台湾などが立地選択された。それによって、1990年代後半から米国の半導体は復活を遂げた。

(4) 米国企業のクラスター立地と競争力

Saxenian (1994) は、米国の2つの産業クラスターである西海岸のシリコンバレーと東海岸のルート128地域の発展と衰退の比較を行った。シリコンバレーでは、労働市場の開放性、非公式コミュニケーションを通じた学習、社外供給者や顧客とのコミュニケーションを核とした地域ネットワークが形成され、企業と企業の繋がりのみではなく、業界団体、大学等の地域組織とも強く結び付きが強い。一方、ルート128は研究、設計、生産、販売などの垂直統合を進め、機密保持と企業への忠誠を強める少数の独立性の高い企業を中心とした、自己完結型独立企業の集合体であった。(浜松, 2009) 半導体などのハイテク産業は、シリコンバレーのような「地域ネットワーク型産業システム」に適合し、ルート128のような「独立企業型産業システム」に適合しなかった。

3 リサーチ・クエスチョン

先行研究は、国際的な拠点配置のあり方について、企業固有の所有特殊優位と立地特殊優位の組合せが重要であり、シリコンバレーのようなより強力な地域クラスターの立地特殊優位を強調している。また、アーキテクチャと設計の比較優位について、製造立地と設計立地を分離して、それらの比較優位を持つアーキテクチャによって交易することが相互補完性の高い国際分業が発展すると示唆している。

米国の半導体産業のなかでは、マイクロン・テクノロジーに代表されるメモ

リ半導体や、インテルに代表されるマイクロプロセッサ（MPU）半導体があるが、これらは設計技術だけでなく最先端の微細加工技術をもった製造プロセスが競争力を牽引するため、巨額な設備投資や研究開発費用が必要となる。その莫大な負担を規模の経済性による利益で回収し、次期投資に回し続けるというモデルに対して新規参入できる企業はいない。このようなモデルが使えない他の米国半導体企業は、設計を重視し、製造コストよりも製品の付加価値を優先に選択していると考えられる。

技術とアーキテクチャの異なる組合せから、その一つは論理系半導体（MOS ロジック）で、設計機能に特化した米国ロジック・ファブレス企業であり、もう一つはアナログ系半導体で、設計と製造の両機能を持つ米国アナログ・IDM 企業に分類される。ロジック・ファブレスは、カリフォルニアのシリコンバレー地域に集結して活動している。一方、アナログ・IDMは、カリフォルニアだけでなく、マサチューセッツやテキサスなど米国各地に分散して活動している。

アナログ・IDMは、ロジック・ファブレスのように競争するために恵まれた環境や保有する技術のアーキテクチャにうまく適合し易い場所に立地するといった既存の研究では十分説明できない。また、実際にはマサチューセッツ州に立地する企業もあり、Saxenian (1994) が示すシリコンバレーが繁栄し、ルート128地域が衰退するメカニズムとして、「地域ネットワーク型産業システム」によっても説明できない。

本稿のリサーチ・クエスションは、なぜ、ロジック・ファブレスはカリフォルニアに集まり、その一方で、カリフォルニアという競争上有利な地域に立地していない米国アナログ・IDMが、カリフォルニアに立地しているロジック・ファブレスに匹敵するほどに競争力を有しているのかという問いである。

II 調査と分析

1 ロジック・ファブレスとアナログ・IDMの現状

まず、ロジック・ファブレスとアナログ・IDMについて世界の売上高上位企

業を確認した(図表1)。米国半導体企業が上位を占めており、競争力を保持しており、前者は、米国のカリフォルニアに立地集中し、後者は米国内において立地分散していることが示されている(図表2)。

図表1：ロジック・ファブレスとアナログ・IDMの売上高上位企業

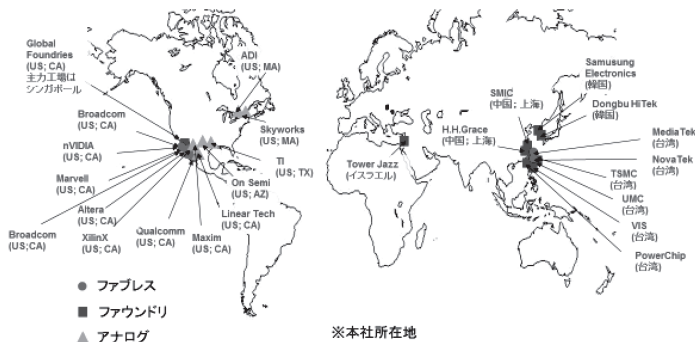
	企業	本社所在地	売上高:百万ドル (2017年)	営業利益率: % (2017年)
ロジック・ファブレス	Qualcomm	米国(カリフォルニア)	22,291	11.7%
	Broadcom*	米国(カリフォルニア)	17,636	13.5%
	nVIDIA	米国(カリフォルニア)	6,910	28.0%
	Xilinx	米国(カリフォルニア)	2,349	29.8%
	Marvell	米国(カリフォルニア)	2,318	4.3%
	MediaTek**	台湾(新竹)	238,216	4.1%
アナログ・IDM	Texas Instruments	米国(テキサス)	13,370	35.9%
	ON Semiconductor	米国(アリゾナ)	3,907	6.0%
	Skyworks Solutions	米国(マサチューセッツ)	3,651	34.3%
	Analog Devices Inc.	米国(マサチューセッツ)	3,421	30.0%
	Maxim Integrated	米国(カリフォルニア)	2,296	30.3%
	Linear Technology	米国(カリフォルニア)	1,424	44.7%

* Broadcomは2016年にHewlett-Packardの半導体部門を継承するAvagoに買収された

** MediaTekの売上高は百万NTD口

(出所) 各企業の財務データ(2017年)

図表2：半導体類型(ロジック・ファブレス、ファウンドリおよびアナログ・IDM)の立地分布



(出所) 筆者作成

立地が半導体設計企業の競争力に与える影響

次に、米国、日本、台湾、韓国の半導体主要国について、法人税率、人件費、インフラ・コストなどの比較（2017年）を行った（図表3）。

図表3：半導体主要国（日米韓台）の立地要素の比較

	日本(東京)	台湾(台北)	韓国(ソウル)	米国(カリフォルニア)
法人税率(法定実効税率)	29.97%	17.00%	24.20%	35.0%(連邦法人税率) 8.84%(カリフォルニア州法人税率)
減価償却方法 (生産設備投資)	5年 (定率250%)	3年 (定率250%)	4年 (定率200%)	5年 (定率250%)
減価償却方法 (設計ソフト・IP)	5年 (定額)	5年 (定額)	5年 (定額)	5年 (定額)
人件費(一般工職) (USD/月)	2,416	1,112	1,879	3,555
人件費(エンジニア) (USD/月)	3,395	1,409	2,294	8,398
業務用電気料金 (月額基本料金:USD/月/kWh)	0.130	0.100	0.070	0.230
工業団地賃料 (月額:USD/㎡)	10.00	ゼロ (科学工業園區は賃与)	0.19	24.00
事務所賃料 (月額:USD/㎡)	27	17	59	50

(出所) JETRO（2017年）

さらに、半導体「製造企業モデル」と「設計企業モデル」の損益計算にこれらの日米韓台の立地要因の違いを反映させて、5年間の総利益（当期純利益）とフリー・C/Fのシミュレーションを行った結果を示した（図表4および図表5）。

半導体「製造企業モデル」の前提条件は以下のとおりである。

- ① 投資金額は、初年度は1,000億円とし、次年度以降、毎年100億円の追加投資を行う。生産設備の減価償却は各国とも定率法であり、減価償却期間はそれぞれの制度を参照した。
- ② コスト構造については、12インチウェハー換算で年間の生産量は24万枚とする。直接材料費は12インチのシリコンウェハー代で、1枚あたり15,000円とし、間接材料費とはフォトレジスト、フォトマスク、薬品、ガスなどの製造消費費用でウェハー1枚あたり30,000円とする。人件費は必要人員を1,000人とし、各国の一般工職の賃金を参照して求めた。

半導体の電力費用は、日本の場合で年間100億円とし、各国の1 kWhあたりの電力単価を参照して、電力費用を求めた。土地代は月産2万枚程度の半導体工場の必要工業用地は約10万 m^2 であり、各国の m^2 単位賃料からその費用を算出した。その他の製造コストについては200億円が必要とした。

- ③ 売上高は毎年1,440億円(=60万円/枚 x 24万枚/年)とし、販売・管理費は売上の5%、研究開発費は売上の10%とした。営業外収益、営業損失はともにゼロとした。法人税率は各国の法定実効税率を適用した。

また、半導体「設計企業モデル」の前提条件は以下のとおりである。

- ① 投資額は、米国と台湾のファブレス企業の財務データを参考に、設計ツールやソフトウェアなどに毎年売上の3%を投資に回すことを前提とした。無形資産の減価償却は、定率法ではなく定額法となる。
- ② コスト構造は、直接原価を売上の50%とし、人件費は必要人員を400人とし、各国のエンジニアの賃金から求めた。また、設計事務所は1人あたりの必要面積を10 m^2 として、各国の事務所賃料から求めた。電力費用は考慮しない。
- ③ 売上高は毎年500億円とし、販売・管理費は売上の10%、研究開発費は売上の20%とした。営業外収益、営業損失はともにゼロとした。法人税率は各国の法定実効税率を適用した。

実際の納付税額は、損金および益金の申告調整を行った課税所得に法人税率を掛け、さらに税額控除された金額であるが、個々の企業によって異なるため、両シミュレーション・モデルでは申告調整と税額控除は考慮していない。

その結果、米国は立地コストが最も高いために、総利益はやフリー C/Fは最も低いことが確認された。このような結果は評価した時期や立地要素の条件に違いはあるが、立本(2009)の先行研究と一致している。

立地が半導体設計企業の競争力に与える影響

図表 4：半導体「製造企業モデル」の損益計算シミュレーション結果

国	5年間の総利益(億円)	5年間の総利益倍率 (米国基準)	5年間のC/F(億円)	5年間のフリーC/F倍率 (米国基準)
日本	1,851	155.7%	1,722	141.9%
台湾	2,294	193.0%	2,250	185.3%
韓国	2,154	181.2%	2,097	172.7%
米国	1,189	100.0%	1,214	100.0%

注)米国はカリフォルニア州の法人税率:40.75%(2017年)に基づく

(出所) 筆者作成

図表 5：半導体「設計企業モデル」の損益計算シミュレーション結果

国	5年間の総利益(千円)	5年間の総利益倍率 (米国基準)	5年間のC/F(千円)	5年間のフリーC/F倍率 (米国基準)
日本	478	147.6%	448	152.5%
台湾	612	188.9%	582	198.0%
韓国	534	164.8%	504	171.4%
米国	324	100.0%	294	100.0%

注)米国はカリフォルニア州の法人税率:40.75%(2017年)に基づく

(出所) 筆者作成

2 ロジック・ファブレスとアナログ・IDMの違い

米国のロジック・ファブレスとアナログ・IDMの違いについて調査した。

(1) ロジック・ファブレス

なぜ、ロジック・ファブレスが、シリコンバレーという地域クラスターで競争力を獲得しているかについて、米国でインタビュー調査を行った。

期間：2015年9月8日～9月12日

訪問企業：半導体ファブレス：nVIDIA (Santa Clara)、Avago (San Jose)、
Techpoint (San Jose)、半導体NPO：GSA (Dallas)

調査結果：訪問したのは、シリコンバレーの半導体ファブレス企業3社とテキサスの半導体NPOである。インタビューを行った職種は、経営

者、エンジニア、業務、およびアナリストであり、回答結果のまとめは図表6のとおりであった。

取材時のコメントは次のとおりであった。

図表6：米国調査インタビューの結果

訪問企業	GSA (NPO)	Avago (ファブレス)	nVIDIA (ファブレス)	Techpoint (ファブレス)
所在地	テキサス	カリフォルニア	カリフォルニア	カリフォルニア
面談者(職種)	アナリスト	業務	エンジニア	経営者
＜関連要素＞	回答結果			
1. 人材の優秀性	○	○	○	○
2. 大学や機関の支援	×	○	○	○
3. ストックオプションの動機付け	×	×	×	○
4. 最先端需要の牽引	○	○	○	○
5. 関連および支援企業の影響	○	N/A	○	○
6. 地域ネットワークの影響	○	○	○	○
7. 競争と協力(人材流動、M&A)	○	N/A	○	○

○:関係が強い

×:関係が弱い

N/A:回答なし

(出所) 米国でのインタビュー調査結果に基づく

- ① 「人材の優秀性」については、世界から超一流の人材が集まることである。(全員)
- ② 「大学や機関の支援」については、シリコンバレーのファブレス企業は大学とのつながりを重視していた。(アナリストを除く全員) それは、nVIDIAがスタンフォード大学に寄贈した研究施設¹⁾からも裏付けられる。

1) nVIDIAの創業者がスタンフォード大学に寄贈した研究施設 (Jen-Hsun Huang Engineering Center)

- ③ 「ストックオプションの動機付け」については、関連性は低い。(経営者を除く全員)
- ④ 「最先端需要の牽引」については、コンピュータから情報通信技術 (ICT) に、そしてIoT (Internet of Things)、自動運転技術、人口知能 (AI) へと需要産業の牽引の役割が大きい。(全員)
- ⑤ 「関連および支援企業の影響」については、クラスター内のEDAベンダーやIPベンダーなどの設計関連産業の支援や協力が大きい。(N/A除く全員)
- ⑥ 「地域ネットワーク」については、移民による影響が大きいことが挙げられる。世界のトップレベルの人材が集まり、そして、知識がスピルオーバー (溢出) し、増幅していく点が特徴である。(全員)
- ⑦ 「競争と協力 (人材の流動性やM&A)」については、企業や職種によって異なるが、エンジニアの場合は10 ~ 15%程度の人材が動くコメントがあった。(N/A除く全員)

また、シリコンバレー訪問時に提供を受けた資料²⁾によれば、産業クラスターの優位性について測定可能な項目は、教育レベル、特許登録、ベンチャー・キャピタル、IPO、そしてM&Aであり、シリコンバレーに関するこれらのデータを調査した。

- ① 2013年のデータによる教育レベルは、修士以上が21%と米国全体の11%の約2倍高い。
- ② 2013年の特許登録では、カリフォルニアの46.9%、米国全体の12.7%を占める。
- ③ 2014年のベンチャー・キャピタルの投資では、シリコンバレー (US\$7.4 billion) およびサンフランシスコ (US\$7.2 Billion) であり、この両者でカリフォルニアの73.7%、米国全体の43.0%を占めている。
- ④ 2014年のIPOデータでは、米国全体の275件に対して23件と他の州よりも高い。

2) 「SILICON VALLEY INDEX 2015」 Joint Venture Silicon Valley, Inc.を参照した。

- ⑤ 2014年のM&Aデータでは、カリフォルニアの41%、米国全体の10%を占める。

蓬田(2007)によれば、Qualcommの競争力の源泉は「特許」であり、売上の約3割はそのライセンス収入である。それは、本社にあるパテント・ウォールに示されている³⁾。

(2) アナログ・IDM

片瀬・蓬田(2012)と半導体商社の元社員へのインタビュー調査⁴⁾によれば、アナログ・IDMの代表企業であるLinear Technologyは、シニアエンジニア（アナログ・ゲルと呼ばれる）の経験と指導が企業の財産であるという。アナログ系半導体は、論理系半導体と異なり、一人前のエンジニアになるためには10年かかると言われる。職人のように修練を重ね、経験ノウハウや技術を蓄えていく。ロジック・ファブレスでは、エンジニアのジョブホッピングが日常茶飯事と言われるが、Linear Technologyではほとんど辞めないという。

アナログ設計者に行ったインタビュー調査⁵⁾によると、アナログ回路設計は、もちろん教科書にはその理論が載っている。それを見れば、アナログ回路を作るところまではできる。しかし、そこから性能（＝効率や精度など）を上げるのが難しい。どの部品とどの部品を離して配置しないと干渉するとか、素子（＝デバイス）をつなぐ配線をどのように引き回すか、どこで電荷を蓄積するか、配線の長さはこれがベストかといった点は、設計者の独創性に委ねられ、経験を積まないと身に付かないと言われている。

それはアナログ特有の技術があり、設計と製造が相互調整する必要があるからである。これらの多くは経験から得られた知恵やノウハウであり、またドキュメントや設計ルールに表現できない技術が含まれている。

さらに、アナログの設計は、ロジックと異なり、製造プロセスとの調整が必要である。製造パラメータや電気特性にはトレードオフがあり、製造装置の変

3) Qualcomm本社にあるパテント・ウォール：

<https://www.engadget.com/2012/11/29/qualcomm-patent-wall/>（2015年12月10日アクセス）

4) 半導体商社の元社員へのインタビュー調査は2016年1月5日に行った。

5) アナログ半導体設計者へのインタビュー調査結果は2016年2月15日に行った。

更や製品の工場移転することは容易ではない。このように数値情報では表わしにくく、経験に基づく要素を持つ製造プロセスを切り離して設計することは困難であり、アナログ・IDMの設計と製造が一体の組織構造を持つ理由が見出された。

また、製品開発の際、ロジックの場合は設計段階でシミュレーションによって検証を実施するが、アナログの場合は試作を行い、実装した評価ボードで検証する。仮想検証では十分ではない点において違いがある。

3 半導体設計に関する学会論文の調査

このように、設計機能を持つ米国半導体企業が競争力を保持している理由を探るために、半導体集積回路の設計技術に関する国際会議であるVLSI Circuits Symposium (2015) の採択論文数を調査した(図表7)。国別では、米国は62件と他国に比べて圧倒的な違いがあった。さらに、米国のなかで州別にピボット分析を行うとカリフォルニアの占める割合が米国全体の20%を超えていることが分かった。このような結果から、米国とそのなかでもシリコンバレーを中心とするカリフォルニアに半導体設計回路に関する「知識」が多く集まっていると考えられる。

図表7：VLSI Circuits Symposium (2015) の採択論文数の調査結果

単位：件数

	2011 年	2012 年	2013 年	2014 年	2015 年
米国	55	49	48	51	62
日本	26	19	18	14	11
韓国	8	7	10	7	12
台湾	13	14	19	14	10
採択数	115	97	109	96	114

(出所) VLSI Circuits Symposium (2015)

Ⅲ 立地特性が異なる設計企業に対して、「知識」が競争力に与える影響

米国の半導体企業は製造のコストよりも設計による製品性能の付加価値を優先している状況が見出された。立地特性が異なる2つのタイプの半導体設計企業の競争力に対して、「知識」の影響について取り上げた。

1 「形式知」と「暗黙知」

野中・紺野(1999)によれば、「形式知」は主に文章・図表・数式などによって説明・表現できる定型的知識資産を指す。半導体設計の場合、代表的な「特許」に加えて、特定の回路資産のIP (Intellectual Property)、回路設計ツールのEDA (Electronic Design Automation)、設計と製造をつなぐDFM (Design For Manufacturing) などがある。本稿では、この機能分類に属する「特許」に着目した。

一方、「暗黙知」は主に経験や勘に基づく知識のことで、言葉などで表現が難しい経験的知識資産を指す。半導体設計の場合、数値化ができず他の主体、地域、用途への移転が難しい経験ノウハウや時間とともに蓄積された技術などがある。本稿では、この機能分類に属する「粘着的な経験知識⁶⁾」に着目した。

2 知識と競争力の関係

先端の設計や技術を活用した製品は先発優位の利益をもたらすが、「特許」は、法的に保護することで他社からの模倣を防止したり、標準化やデファクト時にロイヤリティー収入を獲得する上で、企業に持続的な競争力を与えることができる(妹尾, 2009; Somaya, 2012)。

一方、「粘着的な経験知識」は、模倣に対する時間圧縮の不経済や立地移転の困難性を持つことから、Barney (1997) によるリソース・ベースト・ビュー (Resource-based view) の理論枠組みにおいて、模倣を困難にする4つの条件のなかで、独自の歴史的条件と因果関係不明性の2つに跨がるものと考えられ、時間とともに企業に競争力を与えることができる。

6) Teece (2009)によれば、「粘着的」とは、流動性が少なく、他の主体、状況、用途、地域などへの移転が容易ではない(邦訳191頁の訳注)。

3 「特許」が競争力に与える影響

インタビュー調査から、カリフォルニアで設計企業が高い競争力を持つ1つの理由として、優秀なエンジニアの存在が考えられる。エンジニアの優秀性や保有する知識を定量的に説明可能にする最も代表的な指標は特許（米国特許）であると考えられる。

ロジック・ファブレスとアナログ・IDMについて、各年度の売上高（2000～2010年は3年おきと2010～2017年は毎年の売上高）と当該年度から過去3年分の米国登録特許件数の1年あたり平均の時系列データの回帰分析を行った⁷⁾。

(1) ロジック・ファブレス

米国のQualcomm、nVIDIA、Marvell、Broadcom、Xilinxの5社のデータであり、その線型回帰式は、 y を売上高（百万ドル）、 x を米国登録特許件数として、 $y=9.10x-891$ が得られた。その相関係数 r は0.895（ $n=50$ ）であった。

(2) アナログ・IDM

米国のTexas Instruments、Analog Devices、Linear Technology、Maxim Integrated、Skyworks Solutionsの5社のデータであり、同様に、 y を売上高（百万ドル）、 x を米国特許件数として、その線型回帰式は、 $y=5.75x+609$ が得られた。その相関係数 r は0.945（ $n=50$ ）であった。

しかし、両者を比較すると、回帰式の勾配ではロジック・ファブレスが約1.6倍大きい。このことは、特許の売上に対する影響がより高いことを示している。さらに、回帰式の切片からアナログ・IDMは特許がなくても売上高が高い。それは、特許のような形式知以外に別の要因が影響して、売上をもたらしているのではないかと考えられる。

4 「粘着的な経験知識」からみた分析

一方で、インタビュー調査や文献調査によると、粘着的な経験知識という暗黙知による企業固有の特殊優位も競争力に影響を与えることが明らかになって

7) 米国特許庁から登録特許件数を検索した。過去3年分の特許データとしたのは、公開から登録までの審査期間が2～3年かかるためである。
<http://patft.uspto.gov/> (2018年8月18日アクセス)

きた。本節では、ロジック・ファブレスとアナログ・IDMの歴史的経路と粘着的な経験知識が競争力に与える影響の違いについて比較分析した。

(1) ロジック・ファブレスの歴史的経路

米国5社の設立は、PLD (programmable logic device) を手掛けるXilinx (1984年～) と、システムLSIを手掛けるQualcomm (1985年～)、nVIDIA (1993年～) およびMarvell (1995年～) に分けられる。特に、後者は比較的歴史が浅い。これらの企業は、シリコンバレーを中心とした地域クラスターのなかでコンピュータやICT産業のデジタル化の発展とともに成長してきた。製造機能は台湾等の海外ファウンドリ企業に任せて、設計機能だけに特化した歴史的経路をもつ。

(2) アナログ・IDMの歴史的経路

米国6社の設立は、Texas Instruments (1930年～)、On Semiconductor (Motorola : 1928年～)、Skyworks Solutions (Rockwell : 1973年～) のように起源となる企業の創業時期から含めるとかなり古く、且つ必ずしも当初は半導体企業ではない。また、Analog Devices (1965年～) のように出身大学 (MIT) の近隣に設立した経歴や、Linear Technology (1981年～) やMaxim Integrated (1983年～) のようにシリコンバレーの老舗半導体のNational SemiconductorやFairchild semiconductorからスピニアウトして近隣に設立された経歴など、さまざまである。このような米国のアナログ・IDMは、自社工場を持ち、古くから軍需や航空/宇宙産業などの顧客とともに設計と製造の両機能に対して歴史的経路をもつ。

(3) 「粘着的な経験知識」が競争力に与える影響

まず、性質が異なるロジック・ファブレスとアナログ・IDMの粘着的な経験知識の違いを明らかにするために適切な指標を選定する必要がある。そこで、システムLSIのロジック・ファブレスの3社 (Qualcomm、nVIDIA、Marvell) と創業以来専業を貫くアナログ・IDMの3社 (Analog Devices、Linear Technology、Maxim Integrated) について、1995年から2017年までの年次業績指標 (営業利益率、1人あたり売上高、1人あたり営業利益、研究開発費あたり売上高) のデータを調査し、各指標について統計量の平均に差があるのか検定を行った (図表8)。その結果、1人あたり売上高が、p値 : 3.351E-18と両側有意水準1%

立地が半導体設計企業の競争力に与える影響

以下であることから、統計的に最も有意であった。

図表 8：ロジック・ファブレスとアナログ・IDMのt検定結果

	営業利益率(%)	1人あたり売上高 (thousands\$/人)	1人あたり営業利益 (thousands\$/人)	研究開発費あたり売上高 (thousands\$)
p 値	1.384E-05 **	3.351E-18 **	7.117E-01	1.959E-02 *
自由度	130	126	126	126

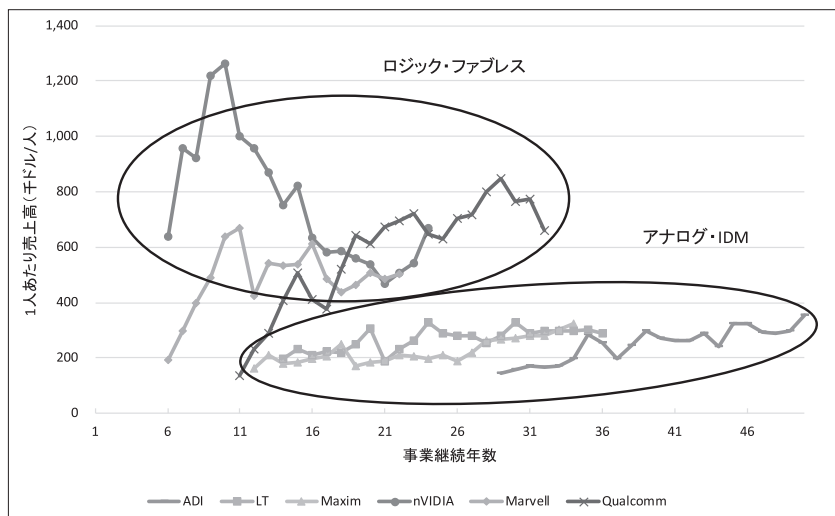
(注) **: $p < 0.01$, *: $p < 0.05$

(出所) 筆者作成

次に、経験知識の評価のために各企業の事業継続年数と1人あたり売上高の関係を分析した(図表9)。事業継続年数は、創業開始からの年数であるが、SEC filingのform 10-Kは1995年以降から公表しているために企業によって様ではない。

この結果、1人あたり売上高は、平均値でロジック・ファブレスの611千ドルに対してアナログ・IDMは249千ドルと低い。しかし、ロジック・ファブレ

図表 9：事業継続年数と1人あたり売上高



(出所) 各企業情報に基づき筆者作成

スではピークを迎えた後に低下するが、アナログ・IDMでは継続した安定性と漸進的に上昇していることが観察された。このようなアナログ・IDMの漸進的な1人あたり売上高の改善は、長年の経験と学習を通して蓄積された技術や特定の技術分野における問題解決能力および開発能力を示していると考えられる。

(4) 粘着性 (Stickiness) について (von Hippel, 1994; Szulanski, 1996)

宋・赤池 (2014) によれば、von Hippel (1994) は、ある所与の場合にある所与の単位の情報が持つ粘着性は、その情報をほしがる所与の探索者によって使用可能な形で、所与の場所に移転されるために必要とされるインクリメンタルな費用であるとして定義した。情報の粘着性の原因として、①情報それ自体の性質、②移転される情報の量、③情報の送り手と受け手の特性の三つを指摘した。(知識を使用可能な形にするプロセスに着目)

若林・大木 (2009) によれば、Szulanski (1996) は、知識移転をプロセスとして捉え、四つのステージに分解することと、粘着性の源泉となる要素と測定された粘着性の関係を明らかにすることで、企業内部での知識の移転を妨げている要因を特定しようとした。(知識を組織へ移植するプロセスに着目)

アナログ・IDMの場合、ユーザー企業と半導体企業間の製品知識移転よりも、半導体企業内の設計と製造プロセス間の工程知識移転に強い「粘着性」があると考えられる。すなわち、設計と製造技術の往復に困難性があり、その克服にはシニアエンジニアに埋め込まれた経験知識や設計と製造の調整ノウハウに依存している。究極的には製造設備の制限される場合に及び、昔から使用されている機械やレシピを変えると同じ特性が得られないのと似ている。したがって、創業地に固着することになる。

IV 結論と含意

本研究は、技術およびアーキテクチャの組合せが異なる2種類の半導体設計企業に対して、インタビュー調査および特許や財務データの分析から、半導体企業の立地理由に「知識」が関係することを見出した。

コストの高い米国においても、半導体企業は設計性能の付加価値によって存在意義を発揮する。その一つは、デジタル技術とモジュラー・アーキテクチャを持つロジック・ファブレスの立地決定は、カリフォルニアに集まる優秀な人材、関連・支援産業、需要産業、競争ライバル企業によって形成される地域クラスターの特殊優位（cluster-specific）に関係し、この地域に多く集まる設計に関する「特許」という「形式知」の重要性が確認された。

一方で、アナログ技術とインテグラル・アーキテクチャを持つアナログ・IDMの立地決定には、歴史的に各社によって異なるが、米国各地で創業時に設立した場所に工場とともに長く立地することから得られる企業固有の特殊優位（firm-specific）に関係し、設計に関する「特許」という形式知だけでなく、設計と製造が一体化した組織構造によって、技術の蓄積や調整ノウハウなどの「粘着的な経験知識」という「暗黙知」の重要性が確認された。

V 今後の課題

今後も米国半導体産業は、ロジック・ファブレスやアナログ・IDMのように、税制や要素コストなどの立地条件が劣位であるがゆえに、付加価値の高い製品をいち早く市場投入して、先発参入の優位性で収益を求めようとする。

したがって、将来戦略にとって「知識」の獲得が大変重要になる。他地域への移転が可能な知識を持つロジック・ファブレスは、中東イスラエルの暗号技術や自動運転技術の設計知識の獲得に動いたりしている。一方、他地域への移転が困難な知識を持つアナログ・IDMは、着実な自社開発に加えて、アナログ・デバイスとリニア・テクノロジーの合併（2017年完了）のようなシナジー効果を求める動きも現われてきた。今後は、さらに「知識・技術の地政学」の領域について研究を深めていきたい。

用語説明

- ・ シリコンバレー (Silicon Valley)：カリフォルニア州のなかで、サンノゼおよびその周辺を中心としたハイテク企業が集積する地域の呼称。
- ・ ファブレス (Fabless)：自社に工場などの生産機能を持たずに設計開発などに特化すること。
- ・ ファウンドリ (Foundry)：半導体の前工程 (シリコンウェハーに回路を形成するウェハープロセス) を受託生産すること。
- ・ DFM (Design For Manufacturing)：半導体集積回路の設計と製造をつなぐデザイン・ルールやSPICEパラメータなどの情報。
- ・ EDA (Electronic Design Automation)：電子機器、半導体など電気系の設計作業を自動化し支援するためのソフトウェア、ハードウェアおよび手法の総称。
- ・ IDM (Integrated Device Manufacturer)：設計から生産、販売までの機能を有するメーカー
- ・ IP (Intellectual Property)：半導体分野では、LSIを構成する機能ブロック (設計資産) を指す。

参考文献

- Barney, J. B. (2002) *Gaining and sustaining competitive advantage: Second Edition*, Pearson Education. (岡田正大訳『企業戦略論【競争力の構築と持続】』上巻, ダイヤモンド社, 2003年)。
- Berger, S. & MIT Industrial Performance Center (2005) *How We Compete*. Currency Books. (榎井浩一訳『グローバル企業の成功戦略』草思社, 2006年)。
- Dertouzos, M. L., Lester, R. K., & Solow, R. M. (1989) . *Made in America*, The MIT Press. (依田直也訳『Made in America』草思社, 1990年)。
- Dunning, J. H. (1979) "Explaining changing patterns of international production: in defense of the eclectic theory," *Oxford bulletin of economics and statistics*, 41 (4), 269-295.
- 藤本隆宏・大隈慎吾 (2007) 「設計立地の比較優位に関する試論－枠組・実証・シミュレーション」RIETI ディスカッションペーパー, (25)。
- 藤本隆宏・天野倫文・新宅純二郎 (2009) 「ものづくり国際経営論－アーキテクチャに基づく比較優位と国際分業」『ものづくりの国際経営戦略－アジアの産業地理学』新宅純二郎・天野倫文編, 有斐閣。
- 浜松翔平 (2009) 「シリコンバレーとルート128における地域産業システムのその後の展開－経営学輪講 Saxenian (1994)－」『赤門マネジメント・レビュー』8 (3), 113-128。
- 片瀬京子・蓬田宏樹 (2012) 『誰もやめない会社－シニアエンジニアが活きる無敵のマネジメント』日経BP社。
- 野中郁次郎・紺野登 (1999) 『知識経営のすすめ－ナレッジマネジメントとその時代』ちくま新書。
- Porter, M. E. (1998) *On competition*. Harvard Business School Press. (竹内弘高訳『競争戦略論』ダイヤモンド社, 1999年)。

- Saxenian, A. (1994) *Regional advantage: Culture and competition in Silicon Valley and Route 128*. Harvard University Press. (山形浩生・柏木亮二訳『現代の二都物語－なぜシリコンバレーは復活し、ボストン・ルート128は沈んだか』日経BP社、2009年)。
- 妹尾堅一郎 (2009) 『技術力で勝る日本が、なぜ事業で負けるのか－画期的な新製品が惨敗する理由』ダイヤモンド社。
- 宋元旭・赤池篤 (2014) 「イノベーションの発生場所と情報の粘着性：ユーザーイノベーションの発生原理－経営学輪講 von Hippel (1994)」『赤門マネジメント・レビュー』13 (8), 299-312。
- Somaya, D. (2012) "Patent strategy and management: An integrative review and research agenda," *Journal of Management*, 38 (4), 1084-1114.
- Szulanski, G. (1996) "Exploring internal stickiness Impediments to the transfer of best practice within the firm," *Strategic Management Journal*, 17 (Special Issue), 27-43.
- 立本博文 (2009) 「国家特殊優位が国際競争力に与える影響：半導体産業における投資優遇税制の事例」国際ビジネス研究、1 (2), 59-73。
- Teece, D. J. (2009) *Dynamic Capabilities and Strategic Management*. Oxford: Oxford University Press. (谷口和弘・蜂巢旭・川西章弘・ステラ・S. チェン訳『ダイナミック・ケイパビリティ戦略：イノベーションを創発し、成長を加速させる力』ダイヤモンド社、2013年)。
- von Hippel, E. (1994) . "“Sticky information” and the locus of problem solving : Implications for innovation," *Management Science*, 40 (4), 429-439.
- 若林隆久・大木清弘 (2009) 「知識の移転：粘着性の測定－経営学輪講 Szulanski (1996)－」『赤門マネジメント・レビュー』8 (4), 169-180。
- 蓬田宏樹 (2007) 「QUALCOMMの闘い－標準化と特許－」『日経エレクトロニクス』7月16日号, 日経BP社。

